

Patent

Customer No. 31561
Application No.: 10/605,082
Docket No. 10228-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Huang et al.
Application No. : 10/605,082
Filed : September 8, 2003
For : METHOD OF ASSEMBLING PASSIVE COMPONENT
Examiner : Art unit: 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
091137426, filed on: 2002/12/26.

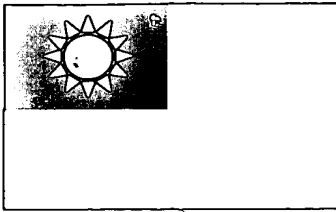
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Jan. 8, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 26 日
Application Date

申請案號：091137426
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 19 日
Issue Date

發文字號：09220944660
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	被動元件之組裝方法
	英文	An assembly method for a passive component
二、 發明人 (共4人)	姓名 (中文)	1. 黃敏龍
	姓名 (英文)	1. Min-Lung Huang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 高雄市三民區鼎勇街33巷2弄8號10樓
	住居所 (英文)	1. 10F, No. 8, Alley 2, Lane 33, Ting-yung St., San-min Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang

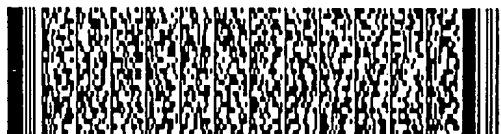


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	2. 黃耀霆
	姓 名 (英文)	2. Yao-Ting Huang
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 高雄市鼓山區大榮街22巷9弄19號
	住居所 (英 文)	2. No. 19, Alley 9, Lane 22, Darung St., Gushan Chiu, Kaohsiung, Taiwan 804, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

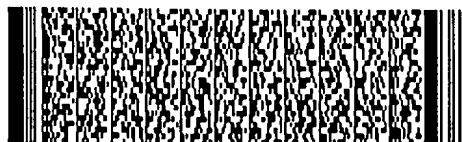


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	3. 陳智龍
	姓 名 (英 文)	3. Chih-Lung Chen
	國 籍 (中 英 文)	3. 中華民國 TW
	住居所 (中 文)	3. 高雄縣鳳山市新泰街6號5樓
	住居所 (英 文)	3. 5Fl., No. 6, Shintai St., Fengshan City, Kaohsiung, Taiwan 830, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營 業 所) (中 文)	
	住居所 (營 業 所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	

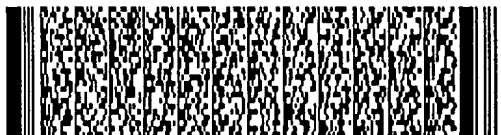


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 劉昇聰
	姓 名 (英文)	4. Sheng-Tsung Liu
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 高雄市楠梓區興楠路203巷37弄10號
	住居所 (英 文)	4. No. 10, Alley 37, Lane 203, Hsing-Nan Rd., Nan-Tzu Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：被動元件之組裝方法)

一種被動元件之組裝方法，其中被動元件直接組裝於晶片之主動表面上，用以縮短被動元件與晶片之間的訊號傳輸路徑，因而提升晶片於封裝之後的電氣效能，同時可減少基板上連接晶片以及被動元件之傳輸線路及接點，使得基板之尺寸將可進一步地縮小。此外，由於被動元件係可一併組裝於晶圓之晶片上，故無須再將被動元件組裝於封裝基板上。

伍、(一)、本案代表圖為：第___3___圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基板

102：頂面

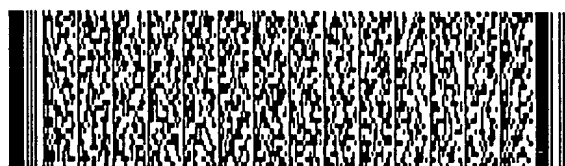
104：接合墊

106：導線

108：接點

陸、英文發明摘要 (發明名稱：An assembly method for a passive component)

A method for a passive component to be mounted directly on active surface of a chip. The transmission path between the passive component and the chip can be shorten so as to improve the electrical performance of the packaged chip and reduce the transmission lines and connects for use to connect the chip and the passive component on a substrate. Further, the size of the substrate is



四、中文發明摘要 (發明名稱：被動元件之組裝方法)

110 : 晶 片

110a : 主 動 表 面

110b : 背 面

120 : 被 動 元 件

124 : 封 膠

130 : 晶 片 封 裝 結 構

陸、英文發明摘要 (發明名稱：An assembly method for a passive component)

shorten and the passive component is not necessary to install on the substrate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

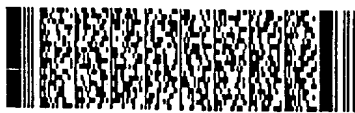
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

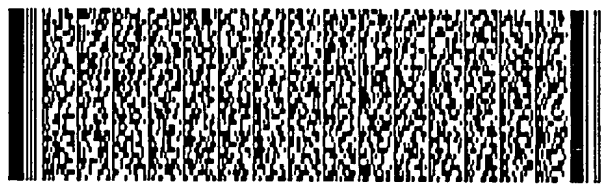
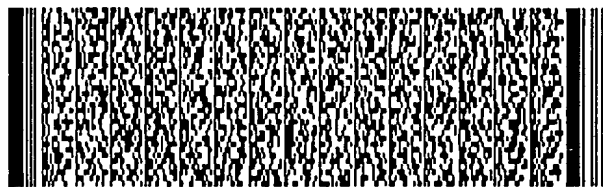
本發明是有關於一種半導體封裝技術，且特別是有關於一種將被動元件組裝於晶片之表面的方法。

先前技術

由於半導體技術的演進，使得半導體構裝的產品在市場需求提高下，不斷發展出更精密、更先進的電子元件，以目前半導體封裝的技術而言，比如覆晶構裝的技術、積層基板的設計以及被動元件的組裝等，均在半導體產業中佔有不可或缺的地位。

就半導體製程而言，首先提供一晶圓(Wafer)，並且形成高積集度之積體電路於晶圓上中，而晶圓之主動表面(active surface)更具有多個接合墊(bonding pad)。接著，就半導體封裝而言，再進行晶圓切割(Dicing)，而每一顆由晶圓切割所形成的裸晶片(die)，例如以打線接合(wire bonding)或覆晶接合(flip chip bonding)的方式，配置於一承載器(carrier)之表面，例如導線架(leadframe)或基板(substrate)等，使得晶片之接合墊得以經由承載器之傳輸線路及接點，而重佈線(redistribution)至晶片之周緣或晶片之主動表面的下方。

以半導體封裝技術而言，為了符合積體電路設計(IC design)上的要求，常見利用表面黏著技術(Surface Mount Technology, SMT)將被動元件(passive component)貼附在基板之表面，所以被動元件將可藉由基



五、發明說明 (2)

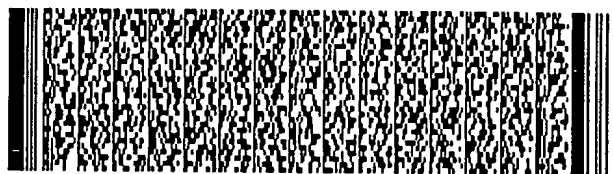
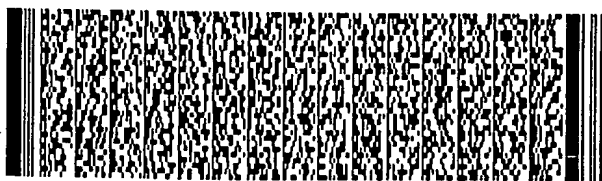
板之圖案化線路，而與晶片之間作相互電性連接。因此晶片在運算時所產生的訊號，將會經由基板之圖案化線路及被動元件的作動，最後將訊號輸出至外部的電子裝置。

值得注意的是，被動元件與晶片之間的訊號傳輸路徑愈短，將可縮短電阻電容延遲 (RC delay) 的時間，因而提升晶片與被動元件之整體的電氣效能。因此，對於目前的半導體封裝技術而言，如何縮短被動元件與晶片之間的訊號傳輸路徑乃是一項非常重要的課題。

發明內容

有鑑於此，本發明的目的在提出一種被動元件的組裝方法，其主要是將被動元件直接組裝於晶片的表面上，用以縮短晶片與被動元件之間的訊號傳遞路徑，因而減少訊號傳遞的時間。

為達本發明之上述目的，本發明提出一種被動元件之組裝方法，適於將一被動元件組裝於一晶圓上，其中被動元件具有多個終端電極，其位於被動元件之周緣，並且晶片具有一主動表面及多個金屬墊，而這些金屬墊係配置於晶片之主動表面。被動元件之組裝方法至少包括下列步驟：(1) 形成圖案化之一介電層於晶片之主動表面，其中介電層具有多個開口，其分別暴露出這些金屬墊之一；(2) 形成多個凸塊底金屬層分別於這些金屬墊上；(3) 形成多個鐳料塊於開口及凸塊底金屬層所分別構成之空間；以及(4) 將被動元件之終端電極分別接合至這些鐳料塊。



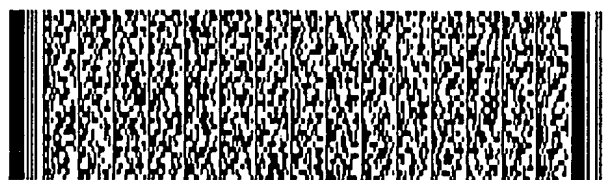
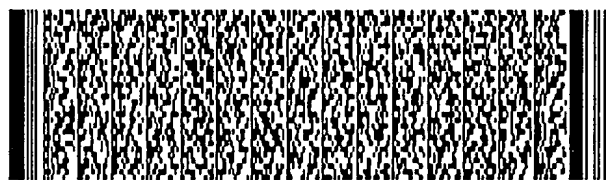
五、發明說明 (3)

為達本發明之上述目的，本發明提出一種晶片封裝構，主要係由一基板、一晶片、一介電層、多個凸塊底金屬層、多個鐳料塊、一被動元件、多個導線以及一封膠所構成。基板具有一頂面，而晶片具有一主動表面及對應之一背面，其中晶片係以背面配置於基板之頂面，且晶片更具有多個金屬墊，其配置於晶片之主動表面上。介電層配置於晶片之主動表面，且介電層具有多個開口，其分別暴露出這些金屬墊，而多個凸塊底金屬層分別配置於金屬墊上。此外，鐳料塊分別配置於開口及凸塊底金屬層所分別構成之空間，而被動元件具有多個終端電極，其分別接合至鐳料塊。另外，導線係電性連接晶片與基板，而封膠係包覆晶片、被動元件及導線。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施內容

第1圖以及第2圖依序繪示本發明一較佳實施例之一種被動元件之組裝方法的流程圖。請先參考第1圖，首先在晶片110之主動表面110a上形成圖案化之一介電層114(dielectrical layer)，並利用微影蝕刻的方式來定義出開口114a的位置，且開口114a的位置亦對應於晶片110之金屬墊112的位置。因此，介電層114上所形成的多個開口114a會分別對應暴露出每一金屬墊112。接著，利用電鍍(electroplate)、濺鍍(sputtering)或蒸鍍

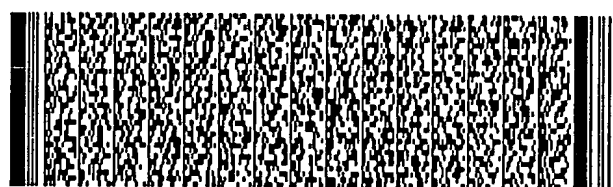
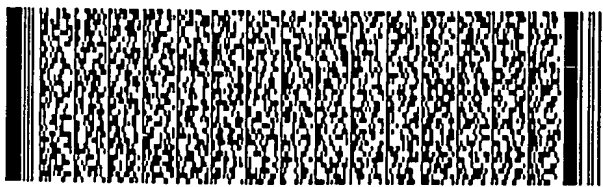


五、發明說明 (4)

(evaporation) 等方式，形成一凸塊底金屬層116於金屬112上，其中形成凸塊底金屬層116的步驟為：首先，全面性形成一金屬層於金屬墊112以及介電層114之上，接著圖案化(例如微影蝕刻)金屬層112，用以形成凸塊底金屬層116於金屬墊112之上，其中凸塊底金屬層116係可為一由多層金屬層所構成之複合金屬層。

接著請參考第2圖，利用點狀塗佈或印刷的方式，形成一鐳料塊118於每一開口114a及凸塊底金屬層116所構成之空間中，其中鐳料塊118之主要材質例如為錫鉛合金。最後，將被動元件120組裝於鐳料塊118上，而被動元件120例如為電阻、電容或電感，其兩端具有多個(二個或二個以上)的終端電極122，而每一終端電極122係分別接合至對應之鐳料塊118，並藉由鐳料塊118而與晶片110之金屬墊112作電性連接。此外，為了提高終端電極122與鐳料塊118之間的接合性，可在被動元件120之終端電極接觸鐳料塊118之表面以後，接著進行迴焊鐳料塊118的步驟，最終即得到第2圖之晶片結構126。

第3圖繪示本發明一較佳實施例之一種組裝有被動元件之晶片，其封裝於一打線型之晶片封裝結構的示意圖。在基板100之頂面102上配置一晶片110，晶片110具有一主動表面110a以及對應之一背面110b，其中晶片110之背面110b係可貼附至基板100之頂面102，而基板100之介電層的材質係可為陶瓷材料或有機材料等，且晶片110之主動表面110a還具有多個金屬墊112，而金屬墊112例如由重佈



五、發明說明 (5)

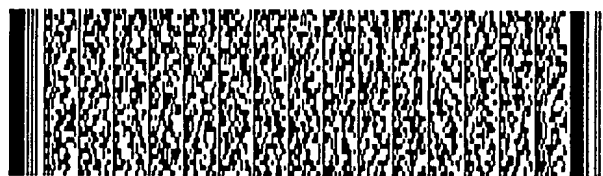
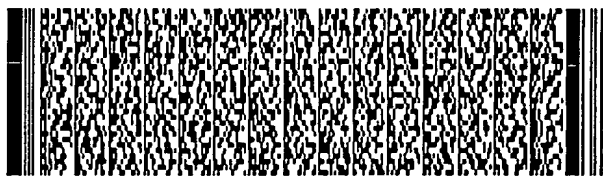
線層(Re-Distribution Layer, RDL)所形成，其材質如銅或銅。值得注意的是，圖示A點中之被動元件120係組裝於晶片110之主動表面110a上，並與金屬墊112作電性連接，且與晶片110之積體電路相整合。

請參考第1、2及3圖，由上述之被動元件之組裝方法以及打線型之晶片封裝結構可知，本發明可藉由被動元件120先組裝於晶圓表面，之後再切割晶圓以形成單一裸晶片結構，最後再與基板100接合，以完成第3圖之晶片封裝結構130。其製程係先提供一晶圓，晶圓(即未切割之裸晶片110)之主動表面110a具有多個金屬墊112(Metal Pad)，接著在金屬墊112上依序形成上述第1、2圖之介電層114、凸塊底金屬層116及鐳料塊118，接著將被動元件120之終端電極122組裝至鐳料塊118。因此，晶圓(即未切割之裸晶片110)之主動表面110a將配置有多個被動元件120，最後將晶圓切割成多個單一裸晶片結構。

請參考第3圖，裸晶片110配置在基板100之頂面102上，且裸晶片110上之接合墊104藉由導線106與基板100之接點108電性連接之後，再以封膠124將裸晶片110、被動元件120、導線106包覆著，如此即完成打線(wire bonding)型之晶片封裝結構130。

綜上所述，本發明之被動元件之組裝方法至少具有下列優點：

1. 本發明之被動元件之組裝方法係將被動元件直接組裝至晶片之主動表面，故可縮短被動元件與晶片之間的訊



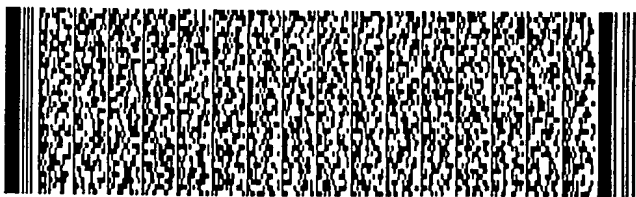
五、發明說明 (6)

號傳輸路徑，因而提高訊號傳輸之效能，同時降低訊號遲之時間。

2. 本發明之被動元件之組裝方法乃是將被動元件直接組裝於晶片之表面上，故可進一步縮短被動元件與晶片之間的訊號傳輸路徑，並可減少基板用以傳輸晶片以及被動元件之間的傳輸線路及接點，如此將可縮小基板之尺寸。

3. 本發明之被動元件組裝方法乃是在晶圓製作完成之後，同時將被動元件一併組裝至晶圓之主動表面；如此將可加快省略晶片以及被動元件於基板的步驟。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



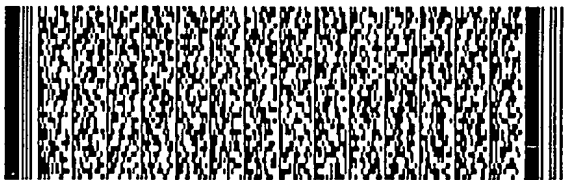
圖式簡單說明

第1圖以及第2圖依序繪示本發明一較佳實施例之一被動元件組裝方法的流程圖；以及

第3圖繪示本發明一較佳實施例之一種組裝有被動元件之晶片，其封裝於一打線型之晶片封裝結構的示意圖。

圖式之標示說明

- 100：基板
- 102：頂面
- 104：接合墊
- 106：導線
- 108：接點
- 110：晶片
- 110a：主動表面
- 110b：背面
- 112：金屬墊
- 114：介電層
- 114a：開口
- 116：凸塊底金屬層
- 118：鐳料塊
- 120：被動元件
- 122：終端電極
- 124：封膠
- 126：晶片結構
- 130：晶片封裝結構



六、申請專利範圍

1. 一種被動元件之組裝方法，適於將一被動元件組裝於一晶片上，其中該被動元件具有複數個終端電極，其位於該被動元件之周緣，並且該晶片具有一主動表面及複數個金屬墊，而該些金屬墊係配置於該晶片之該主動表面，該被動元件之組裝方法至少包括下列步驟：

(1) 形成圖案化之一介電層於該晶片之該主動表面，其中該介電層具有複數個開口，其分別暴露出該些金屬墊之一；

(2) 形成複數個凸塊底金屬層分別於該些金屬墊上；

(3) 形成複數個鐳料塊於該些開口及該些凸塊底金屬層所分別構成之空間；以及

(4) 將該被動元件之該些終端電極分別接合至該些鐳料塊。

2. 如申請專利範圍第1項所述之被動元件之組裝方法，其中該晶片更具有一重佈線層，其配置於該晶片之該主動表面，且該重佈線層係形成該些金屬墊。

3. 如申請專利範圍第1項所述之被動元件之組裝方法，於步驟(2)之時，形成該些凸塊底金屬層之方式包括：

(a) 全面性形成一金屬層於該些金屬墊及該介電層之上；以及

(b) 圖案化該金屬層，用以形成該些凸塊底金屬層於該些金屬墊之上。



六、申請專利範圍

4. 如申請專利範圍第3項所述之被動元件之組裝方法，其中全面性形成該金屬層之方式包括電鍍、濺鍍及蒸鍍其中之一。

5. 如申請專利範圍第3項所述之被動元件之組裝方法，其中該金屬層係為一複合金屬層。

6. 如申請專利範圍第1項所述之被動元件之組裝方法，其中該些凸塊底金屬層分別為一複合金屬層。

7. 如申請專利範圍第1項所述之被動元件之組裝方法，於步驟(4)之時，包括先將該被動元件之該些終端電極分別接觸該些鐳料塊，接著迴鐳該些鐳料塊，以使該被動元件之該些終端電極分別接合至該些鐳料塊。

8. 一種晶片結構，至少包括：

一晶片，具有一主動表面及對應之一背面，且該晶片更具有複數個金屬墊，其配置於該晶片之該主動表面上；

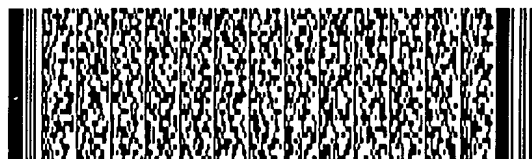
一介電層，配置於該晶片之該主動表面，且該介電層具有複數個開口，其分別暴露出該些金屬墊；

複數個凸塊底金屬層，分別配置於該些金屬墊上；

複數個鐳料塊，分別配置於該些開口及該些凸塊底金屬層所分別構成之空間；以及

一被動元件，具有複數個終端電極，其分別接合至該些鐳料塊。

9. 如申請專利範圍第8項所述之晶片結構，其中該晶片更具有重佈線層，其配置於該晶片之該主動表面，且該重佈線層係構成該些金屬墊。



六、申請專利範圍

10. 如申請專利範圍第8項所述之晶片結構，其中該些凸塊底金屬層分別為一複合金屬層。

11. 一種晶片封裝結構，至少包括：

一基板，具有一頂面；

一晶片，具有一主動表面及對應之一背面，其中該晶片係以該背面配置於該基板之該頂面，且該晶片更具有複數個金屬墊，其配置於該晶片之該主動表面上；

一介電層，配置於該晶片之該主動表面，且該介電層具有複數個開口，其分別暴露出該些金屬墊；

複數個凸塊底金屬層，分別配置於該些金屬墊上；

複數個鐳料塊，分別配置於該些開口及該些凸塊底金屬層所分別構成之空間；

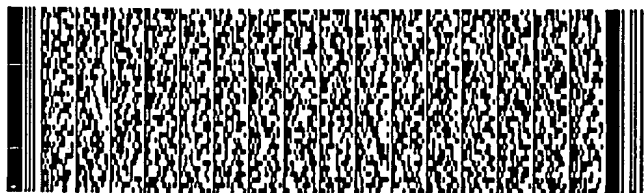
一被動元件，具有複數個終端電極，其分別接合至該些鐳料塊；

複數個導線，電性連接該晶片與該基板；

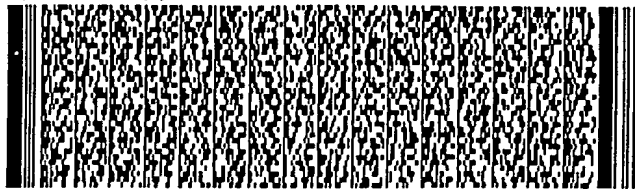
一封膠，包覆該晶片、該被動元件及該些導線。

12. 如申請專利範圍第11項所述之晶片封裝結構，其中該晶片更具有重佈線層，其配置於該晶片之該主動表面，且該重佈線層係構成該些金屬墊。

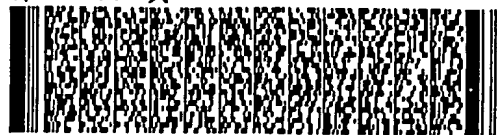
13. 如申請專利範圍第11項所述之晶片封裝結構，其中該些凸塊底金屬層分別為一複合金屬層。



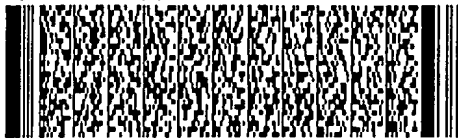
第 1/17 頁



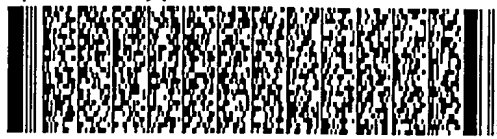
第 2/17 頁



第 3/17 頁



第 4/17 頁



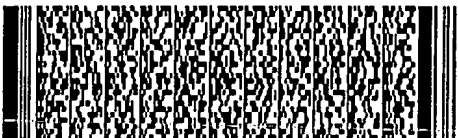
第 5/17 頁



第 5/17 頁



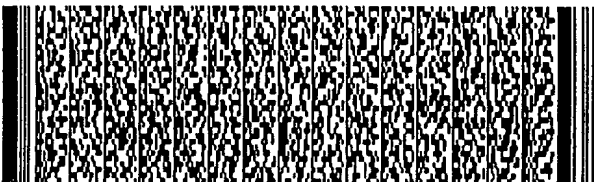
第 6/17 頁



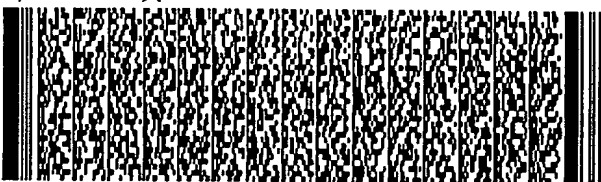
第 7/17 頁



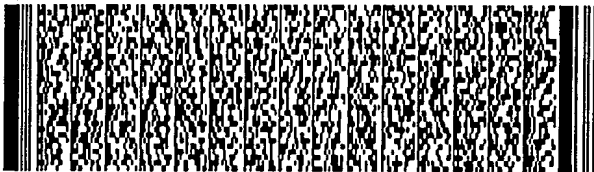
第 8/17 頁



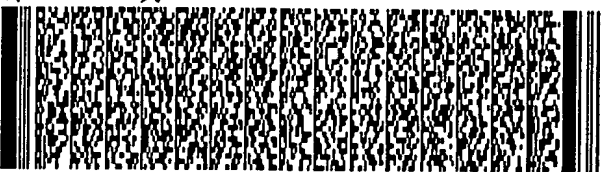
第 8/17 頁



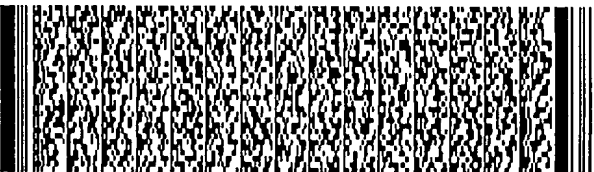
第 9/17 頁



第 9/17 頁



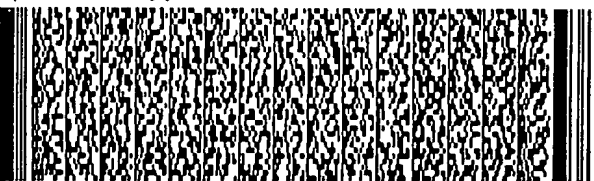
第 10/17 頁



第 10/17 頁



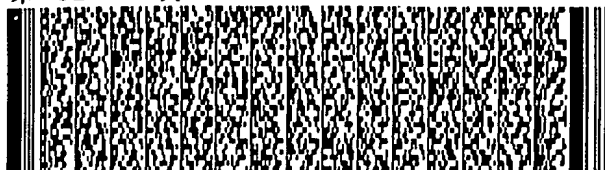
第 11/17 頁



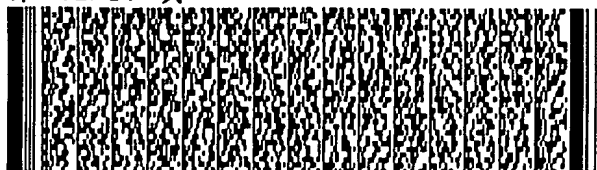
第 11/17 頁



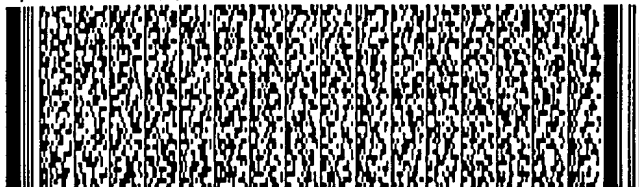
第 12/17 頁



第 12/17 頁



第 13/17 頁



第 14/17 頁



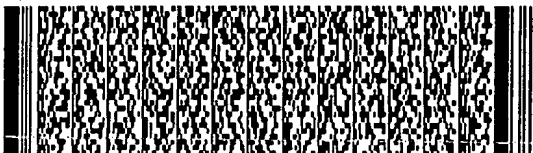
第 15/17 頁



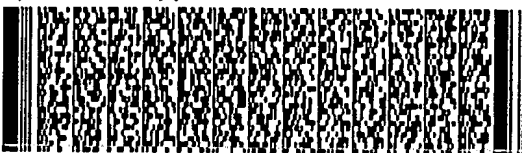
第 15/17 頁



第 16/17 頁

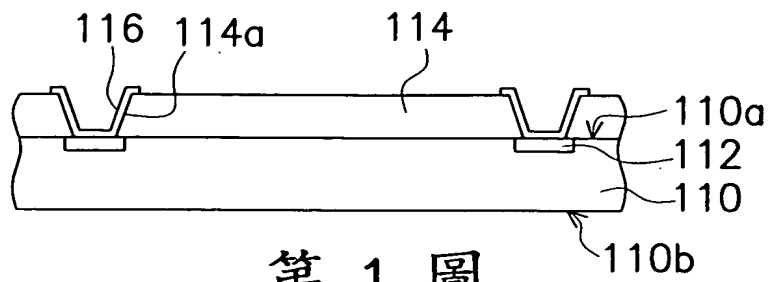


第 16/17 頁

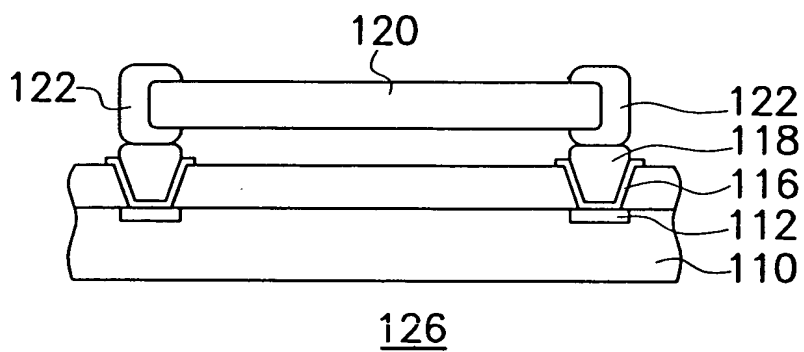


第 17/17 頁

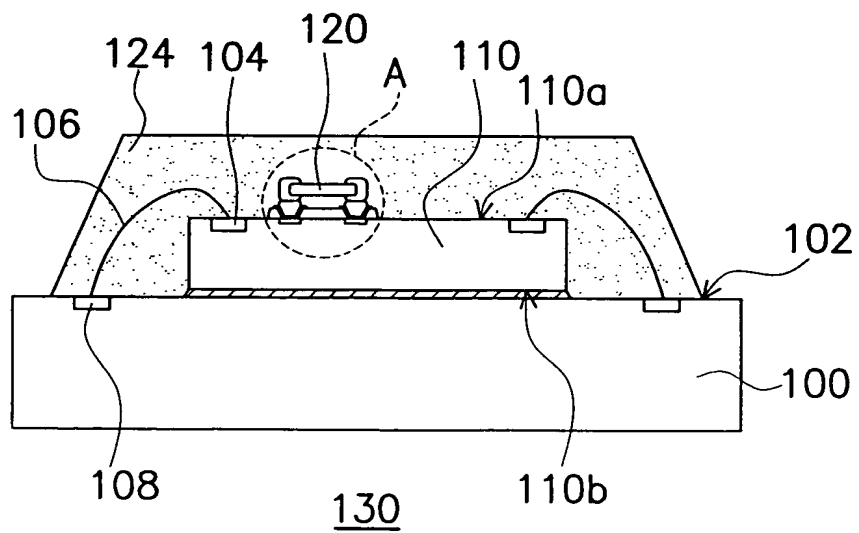




第 1 圖



第 2 圖



第 3 圖